



(19)

(11) Publication number: 2001186197 A

Generated Document

PATENT ABSTRACTS OF JAPAN

(21) Application number: 2000310009

(51) Intl. Cl.: H04L 25/02 H03K 5/08 H03K 19/0175

(22) Application date: 11.10.00

(30) Priority: 14.10.99 JP 11292029

(71) Applicant: MATSUSHITA ELECTRIC IND CO LTD

(43) Date of application publication: 06.07.01

(72) Inventor: HIRATA TAKASHI
AKAMATSU HIRONORI
TAKAHASHI SATOSHI
TERADA YUTAKA
KOMATSU YOSHIIHIDE

(84) Designated contracting states:

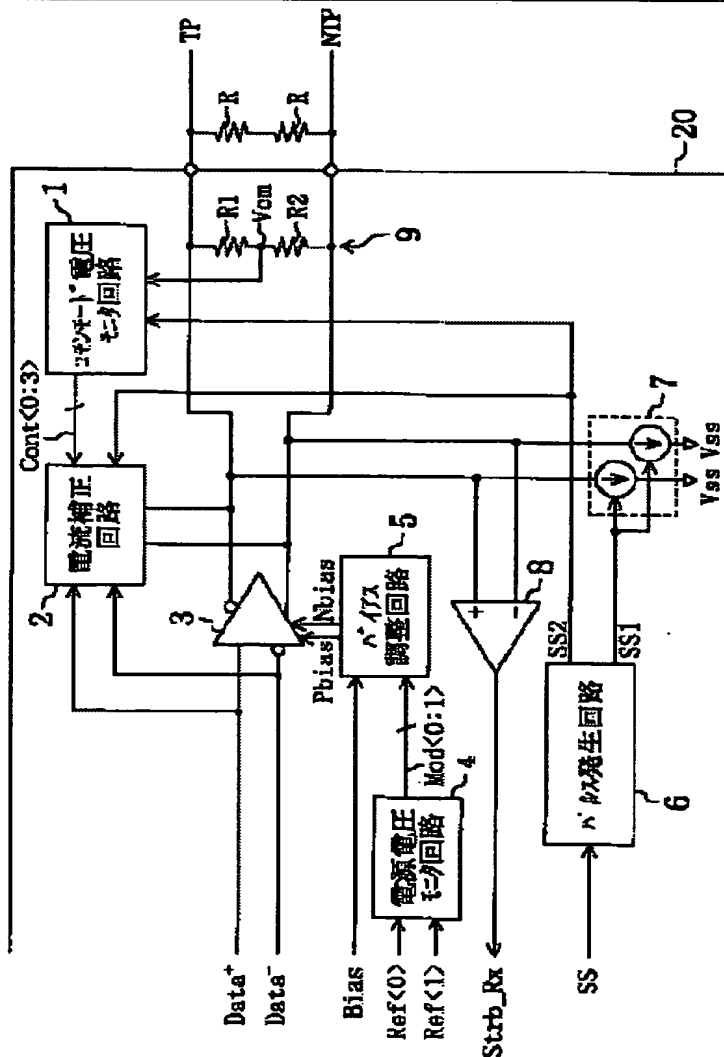
(74) Representative:

(54) CURRENT DRIVER CIRCUIT

(57) Abstract:

PROBLEM TO BE SOLVED: To realize a current driver capable of performing operation over a wide voltage range.

SOLUTION: A twisted pair of cables TP/NTP respectively connected to a termination bias voltage via a termination resistance is driven. For that reason, the current driver 3 connected to the twisted pair of cables, a common mode voltage monitor circuit 1 for monitoring the difference between the common mode voltage (intermediate potential) V_{cm} of the twisted pair of cables and the power supply voltage of the driver 3 and a current correction circuit 2 connected to the twisted pair of cables, so as to gradually correct the output current of the driver 3 corresponding to the monitored results are provided, and when the current drive capability of the driver 3 falls due to the decrease of the power supply voltage of the driver 3 and the fluctuation of the common mode voltage V_{cm} of the twisted pair of cables, a constant current operation is made possible by compensating the quantity of the fall of the current drive capability.



COPYRIGHT: (C)2001,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-186197

(P2001-186197A)

(43) 公開日 平成13年7月6日 (2001.7.6)

(51) Int.Cl.⁷

識別記号

F I

テーマコード(参考)

H 0 4 L 25/02

H 0 4 L 25/02

W

H 0 3 K 5/08

H 0 3 K 5/08

E

19/0175

19/00

1 0 1 F

審査請求 未請求 請求項の数12 O L (全 9 頁)

(21) 出願番号 特願2000-310009(P2000-310009)

(22) 出願日 平成12年10月11日(2000.10.11)

(31) 優先権主張番号 特願平11-292029

(32) 優先日 平成11年10月14日(1999.10.14)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 平田 貴士

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 赤松 寛範

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100077931

弁理士 前田 弘 (外7名)

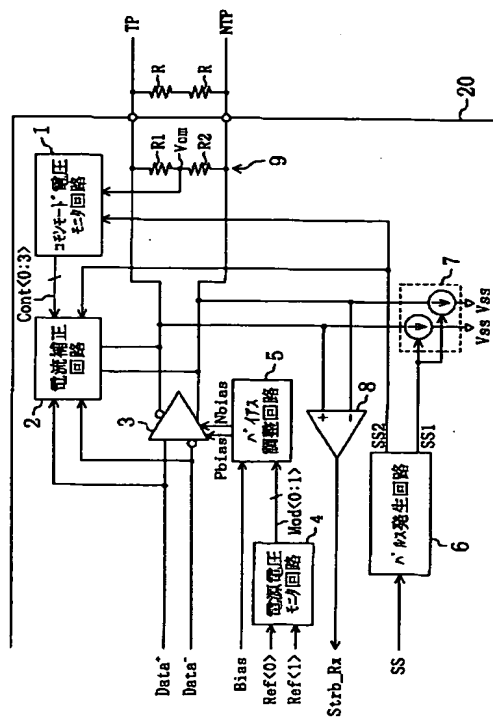
最終頁に続く

(54) 【発明の名称】 電流ドライバ回路

(57) 【要約】

【課題】 幅広い電圧範囲で動作が可能な電流ドライバを実現する。

【解決手段】 各々終端抵抗を介して終端バイアス電圧に結合されたツイストペアケーブルTP/NTPを駆動する。そのため、前記ツイストペアケーブルに結合された電流ドライバ3と、前記ツイストペアケーブルの共通モード電圧(中間電位) V_{cm} と電流ドライバ3の電源電圧レベルとの差をモニタするための共通モード電圧モニタ回路1と、そのモニタ結果に応じて電流ドライバ3の出力電流を段階的に補正するように前記ツイストペアケーブルに結合された電流補正回路2とを設け、電流ドライバ3の電源電圧レベルの低下やツイストペアケーブルの共通モード電圧 V_{cm} の変動によって当該電流ドライバ3の電流駆動能力が低下した場合には、その低下分を補償することで定電流動作を可能とする。



【特許請求の範囲】

【請求項1】 各々終端抵抗を介して終端バイアス電圧に結合された伝送線路対を駆動するための電流ドライバ回路であって、

前記伝送線路対に結合された電流ドライバと、
前記伝送線路対のコモンモード電圧と前記電流ドライバの少なくとも1つの電源電圧レベルとの差をモニタするためのコモンモード電圧モニタ回路と、
前記コモンモード電圧モニタ回路からのモニタ結果に応じて前記電流ドライバの出力電流を補正するように前記伝送線路対に結合された電流補正回路とを備えたことを特徴とする電流ドライバ回路。

【請求項2】 請求項1記載の電流ドライバ回路において、
前記電流補正回路は、前記電流ドライバの出力電流の補正を段階的に行うことを特徴とする電流ドライバ回路。

【請求項3】 請求項1記載の電流ドライバ回路において、
前記電流補正回路は、活性化すべき電流源トランジスタの合計サイズを、前記コモンモード電圧と前記電源電圧レベルとの差に対して非線形に変化させることを特徴とする電流ドライバ回路。

【請求項4】 請求項1記載の電流ドライバ回路において、
前記電流ドライバは、PMOS電流源トランジスタとNMOS電流源トランジスタとを有し、
前記コモンモード電圧モニタ回路は、前記PMOS電流源トランジスタのソースに結合された第1の電源電圧レベルと前記コモンモード電圧との差と、前記コモンモード電圧と前記NMOS電流源トランジスタのソースに結合された第2の電源電圧レベルとの差とを評価することを特徴とする電流ドライバ回路。

【請求項5】 請求項4記載の電流ドライバ回路において、
前記コモンモード電圧モニタ回路は、
前記第1の電源電圧レベルと前記第2の電源電圧レベルとの間に互いに直列に接続された複数の抵抗と、
前記複数の抵抗の直列回路に電流を流すための電流源と、
前記コモンモード電圧と前記複数の抵抗の端子電圧とをそれぞれ比較するための複数のコンパレータとを備えたことを特徴とする電流ドライバ回路。

【請求項6】 請求項5記載の電流ドライバ回路において、
前記複数のコンパレータは、各々入出力関係にヒステリシスを有することを特徴とする電流ドライバ回路。

【請求項7】 請求項5記載の電流ドライバ回路において、
前記電流源が流す電流は、前記PMOS電流源トランジスタ及び前記NMOS電流源トランジスタの各々の電流

駆動能力に応じて変動することを特徴とする電流ドライバ回路。

【請求項8】 請求項4記載の電流ドライバ回路において、
前記第1の電源電圧レベルをモニタするための電源電圧モニタ回路と、
前記電源電圧モニタ回路からのモニタ結果に応じて前記電流ドライバの出力電流を補正するように、前記PMOS電流源トランジスタ及び前記NMOS電流源トランジスタの各々のゲートバイアス電圧を調整するためのバイアス調整回路とを更に備えたことを特徴とする電流ドライバ回路。

【請求項9】 請求項1記載の電流ドライバ回路において、
前記コモンモード電圧を変化させることにより信号の送受信を行う際には前記電流補正回路を前記伝送線路対から切り離すための手段を更に備えたことを特徴とする電流ドライバ回路。

【請求項10】 請求項9記載の電流ドライバ回路において、
前記コモンモード電圧を変化させる期間は、前記電流補正回路が前記伝送線路対から切り離される期間に包含されることを特徴とする電流ドライバ回路。

【請求項11】 各々終端抵抗を介して終端バイアス電圧に結合された伝送線路対を駆動するための電流ドライバ回路であって、
各々前記伝送線路対に結合されたPMOS電流源トランジスタ及びNMOS電流源トランジスタを有する電流ドライバと、

前記PMOS電流源トランジスタのソースに結合された電源電圧レベルをモニタするための電源電圧モニタ回路と、
前記電源電圧モニタ回路からのモニタ結果に応じて前記電流ドライバの出力電流を補正するように、前記PMOS電流源トランジスタ及び前記NMOS電流源トランジスタの各々のゲートバイアス電圧を調整するためのバイアス調整回路とを備えたことを特徴とする電流ドライバ回路。

【請求項12】 各々終端抵抗を介して終端バイアス電圧に結合された伝送線路対に一定振幅の電流を流すことにより信号の伝送を行う信号伝送方法であって、
前記伝送線路対のコモンモード電圧と前記伝送線路対を駆動するための電流ドライバの電源電圧レベルとの差をモニタするステップと、
前記モニタの結果を基にして、前記伝送線路対を流れる電流が所定の範囲内に収まるように、前記電流ドライバの出力電流を段階的に補正するステップとを備えたことを特徴とする信号伝送方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路に関し、特に高速インタフェースにおける電流ドライバ回路に関するものである。

【0002】

【従来の技術】データの高速伝送を達成するためには、各々終端抵抗を介して終端バイアス電圧に結合された伝送線路対（ツイストペアケーブル）を用いた差動型のインタフェースが好適である。このインタフェースでのデータ伝送は、送信側の電流ドライバがツイストペアケーブルへ一定振幅の電流を流し、終端抵抗の両端に発生する小振幅かつ一定振幅の電位差を受信側のレシーバ回路で検知することによって行われる。

【0003】米国特許5,592,510号（発行日：1997年1月7日）には、高速シリアルインタフェースの規格であるIEEE1394に用いられる電流ドライバ回路が開示されている。これによれば、ツイストペアケーブルへの出力電流がモニタされ、そのモニタ結果に応じて、当該出力電流が一定振幅になるように補正される。

【0004】

【発明が解決しようとする課題】これからますます、半導体プロセスの微細化と低消費電力化を進めて行くためには、電源電圧を下げるのが必須である。しかし、終端バイアス電圧（ T_{pbias} ）を一定に保ったときに、電源電圧（ V_{dd} ）が低くなると、 V_{dd} と T_{pbias} の値が近付くために、電流ドライバ中のPMOS電流源トランジスタのドレインソース間電圧が小さくなり、当該PMOS電流源トランジスタが非飽和領域に入り、定電流動作ができなくなる。そのため、出力電流を所定の範囲内に収めるためには、 V_{dd} の許容範囲が制限されることになる。一方、 V_{dd} が高くなると、PMOS電流源トランジスタは飽和領域で動作しているが、ドレイン領域の抵抗により、徐々に電流量が増える傾向となる。したがって、PMOS電流源トランジスタのために専用の電源を設けなければならない事態となる。しかしながら、専用電源を設けることは、消費電力と製造コストの増大につながるため現実的ではない。

【0005】一方、受信側が T_{pbias} を決定している場合には、送信側の電流ドライバから見た T_{pbias} の値は、受信側グランドレベルの変動等により変動する。ここで、 T_{pbias} が低くなると、電流ドライバ中のNMOS電流源トランジスタが非飽和領域に入り、定電流動作ができなくなる。反対に T_{pbias} が高くなると、PMOS電流源トランジスタが非飽和領域に入り、定電流動作ができなくなる。したがって、両電流源トランジスタが定電流動作できる範囲に T_{pbias} の値を設定しなければならないが、 V_{dd} を下げることによってその領域が狭まってくる。

【0006】本発明は、前記課題に鑑み、幅広い電圧範囲において動作が可能となる電流ドライバ回路を提供す

ることを目的とする。

【0007】

【課題を解決するための手段】上記目的を達成するため、本発明は、各々終端抵抗を介して終端バイアス電圧に結合された伝送線路対を駆動するための電流ドライバ回路において、前記伝送線路対に結合された電流ドライバと、前記伝送線路対のコモンモード電圧（中間電位）と前記電流ドライバの少なくとも1つの電源電圧レベルとの差をモニタするためのコモンモード電圧モニタ回路と、このコモンモード電圧モニタ回路からのモニタ結果に応じて前記電流ドライバの出力電流を補正するように前記伝送線路対に結合された電流補正回路とを備えた構成を採用したものである。

【0008】この構成によれば、電流ドライバの電源電圧レベルの低下や伝送線路対のコモンモード電圧の変動によって当該電流ドライバの電流駆動能力が低下した場合には、その低下分を補償するように電流補正回路が動作するので、定電流動作が可能となる。しかも、コモンモード電圧と電源電圧レベルとの差を用いているので、電流ドライバ中の電流源トランジスタのドレインソース間電圧を正しく反映した電流補正動作を実現することができる。

【0009】

【発明の実施の形態】以下、本発明の実施の形態について、図面を用いて説明する。

【0010】図1は、本発明に係る電流ドライバ回路を備えた送受信回路の構成例を示している。図1の送受信回路20は、2本の終端抵抗 R の直列回路を近傍に有する伝送線路対（ツイストペアケーブル） TP/NTP に結合されており、コモンモード電圧モニタ回路1と、電流補正回路2と、電流ドライバ3と、電源電圧モニタ回路4と、バイアス調整回路5と、ノイズ発生回路6と、2つの電流源7と、レシーバ回路8と、抵抗回路9とを備えている。

【0011】電流ドライバ3は、差動データ信号 $Data+/Data-$ に応じてツイストペアケーブル TP/NTP を駆動するものであり、後述するようにPMOS電流源トランジスタとNMOS電流源トランジスタとを備えている。レシーバ回路8は、ストロブ信号 $Strobe_Rx$ の受信のための回路である。

【0012】抵抗回路9は、当該ツイストペアケーブルのコモンモード電圧 V_{cm} を検知するように、LSI内に設けられた2本の抵抗 $R1$ 、 $R2$ で構成されている。コモンモード電圧モニタ回路1は、電流ドライバ3の中のPMOS電流源トランジスタのソースに結合された第1の電源電圧（ V_{dd} ）レベルと前記コモンモード電圧 V_{cm} との差と、前記コモンモード電圧 V_{cm} と電流ドライバ3の中のNMOS電流源トランジスタのソースに結合された第2の電源電圧（ V_{ss} =グランド）レベルとの差とをモニタし、かつ評価する。モニタ結果 Con

$t < 0 : 3 >$ は電流補正回路2に送られる。電流補正回路2は、当該モニタ結果 $Cont < 0 : 3 >$ に応じて電流ドライバ3の出力電流を段階的に補正するようにツイストペアケーブルTP/NTPに結合されている。コモンモード電圧モニタ回路1及び電流補正回路2は、電流ドライバ3の中のいずれかの電流源トランジスタが非飽和領域に達したときに不足する電流を補正するための回路である。ここで段階的な電流補正を採用しているの

で、発振を抑制した電流制御が容易となる。
 【0013】電源電圧モニタ回路4は、参照電位 $Ref < 0 : 1 >$ を用いて V_{dd} レベルをモニタし、かつ評価する。モニタ結果 $Mod < 0 : 1 >$ はバイアス調整回路5に送られる。バイアス調整回路5は、当該モニタ結果 $Mod < 0 : 1 >$ に応じて電流ドライバ3の出力電流を補正するように、基本バイアス $Bias$ に基づき、電流ドライバ3の中のPMOS電流源トランジスタ及びNMOS電流源トランジスタの各々のゲートバイアス電圧 $Pbias$ 及び $Nbias$ を調整する。電源電圧モニタ回路4及びバイアス調整回路5は、電流ドライバ3の中のPMOS電流源トランジスタの飽和領域でのドレイン抵抗に起因する電流量の変動を補正するための回路である。

【0014】図1の送受信回路20は、ツイストペアケーブルのコモンモード電圧 V_{cm} を強制的に変化させることでも情報伝達を行えるようになっている。パルス発生回路6及び2つの電流源7は、そのための構成である。パルス発生回路6は、例えば伝送レート情報を表すスピード信号 SS がアサートされると、各々ツイストペアケーブルの2本の信号線TP/NTPに結合された2つの電流源7を同時にオンさせるように信号 $SS1$ を供給する。つまり、 V_{cm} を一定期間(100ns程度)下げることによって、伝送レート情報の伝達が行われる。ただし、 V_{cm} の急激な変化が起こり、電流補正回路2が誤動作する恐れがある。この問題を回避するために、パルス発生回路6が信号 $SS2$ を供給することで、コモンモード電圧モニタ回路1の V_{cm} 入力と電流補正回路2の出力とをスピード信号 SS の送信期間に切り離すようにしている。

【0015】図2は、図1の送受信回路20の相手側送受信回路の構成例を示している。図2の送受信回路21は、2本の終端抵抗 R の直列回路を近傍に有するツイストペアケーブルTP/NTPに結合されており、電流ドライバ3と、電源電圧モニタ回路4と、バイアス調整回路5と、レシーバ回路8と、終端バイアス電圧発生回路11とを備えている。電流ドライバ3は、差動ストロブ信号 $Strb+/Strb-$ に応じてツイストペアケーブルTP/NTPを駆動する。バイアス調整回路5は、電流ドライバ3の中のPMOS電流源トランジスタ及びNMOS電流源トランジスタの各々のゲートバイアス電圧 $Pbias'$ 及び $Nbias'$ を調整する。レシ

バ回路8は、データ信号 $Data_Rx$ の受信のための回路である。終端バイアス電圧発生回路11は、与えられた終端バイアス電圧 $Tpbias$ と等しい終端バイアス電圧 $Tpbias'$ を2本の終端抵抗 R の中間タップへ供給するものである。

【0016】図2の送受信回路21は、自身のグラウンドレベルに対するツイストペアケーブルTP/NTPのコモンモード電圧を終端バイアス電圧発生回路11で自ら決定できるので、電流ドライバ3の中の各電流源トランジスタのバイアス条件を飽和領域で設計することが容易である。したがって、図1の送受信回路20とは違って、コモンモード電圧モニタ回路1及び電流補正回路2を設ける必要はなく、回路規模を小さく抑えることができる。

【0017】図3は、図1中のコモンモード電圧モニタ回路1の詳細構成例を示している。図3のコモンモード電圧モニタ回路1は、4個のコンパレータ31a~31dと、トランスファークゲート32と、電流源33と、4本の抵抗 $R3 \sim R6$ と、容量 $C1$ とを備えている。

【0018】4本の抵抗 $R3 \sim R6$ は、 V_{dd} と V_{ss} ($=0V$)との間に互いに直列に接続されている。電流源33は、これら4本の抵抗 $R3 \sim R6$ の直列回路に電流 $I1$ を流す。これにより、抵抗端子電圧 $V1 \sim V4$ が得られる。ここに、

$$V1 = V_{dd} - I1 \times R3$$

$$V2 = V_{dd} - I1 \times (R3 + R4)$$

$$V3 = I1 \times (R5 + R6)$$

$$V4 = I1 \times R6$$

である。4個のコンパレータ31a~31dは、コモンモード電圧 V_{cm} と抵抗端子電圧 $V1 \sim V4$ とをそれぞれ比較することにより、 $Cont < 0 : 3 >$ を生成する。具体的には、 V_{cm} の値が $V1$ の値以下であると $Cont < 0 >$ が“H”となり、越えると $Cont < 0 >$ が“L”となる。同様に、 V_{cm} の値が $V2$ の値以下であると $Cont < 1 >$ が“H”となり、越えると $Cont < 1 >$ が“L”となる。また、 V_{cm} の値が $V3$ 以上であると $Cont < 2 >$ が“L”となり、下回ると $Cont < 2 >$ が“H”となる。同様に、 V_{cm} の値が $V4$ 以上であると $Cont < 3 >$ が“L”となり、下回ると $Cont < 3 >$ が“H”となる。なお、ノイズ等の影響による誤動作を防止するため、コンパレータ31a~31dの入出力関係にヒステリシスを持たせるのがよい。

【0019】更に、図3によれば、スピード信号 SS の送信期間に $SS2$ 信号を“H”にすることでトランスファークゲート32をオフにすることにより、コモンモード電圧モニタ回路1から V_{cm} 入力が切り離される。この期間では、容量 $C1$ により V_{cm} の値が保持される。このことにより、スピード信号 SS の送信期間が終了し、再度トランスファークゲート32がオンされたときに電位差が生じることがなく、誤動作を防ぐことができる。

【0020】図4は、図1中の電流補正回路2の詳細構成例を示している。図4の電流補正回路2は、2個のPMOS電流源トランジスタQP1、QP2と、2個のPMOSスイッチングトランジスタQP3、QP4と、2個のNMOS電流源トランジスタQN1、QN2と、2個のNMOSスイッチングトランジスタQN3、QN4と、インバータ41と、2個のNANDゲート42、43と、2個のNORゲート44、45とを備えている。

【0021】SS2 = “L”の状態では差動データ信号Data+/Data-が与えられても、Cont<0>及びCont<1>が“H”であり、かつCont<2>及びCont<3>が“L”である限り、QP1、QP2、QN1及びQN2はいずれも電流補正動作をしない（通常状態）。ところが、例えばVcmの変動により通常状態からCont<1>が“L”に遷移すると、QP2は、QP3を介して一方の信号線TPへ電流を吐き出したり、QP4を介して他の信号線NTPへ電流を吐き出したりする電流補正動作を開始する。更にCont<0>が“L”に遷移すると、QP1及びQP2が電流補正動作を開始する。一方、通常状態からCont<2>が“H”に遷移すると、QN1は、QN3を介して一方の信号線TPから電流を吸い込んだり、QN4を介して他の信号線NTPから電流を吸い込んだりする電流補正動作を開始する。更にCont<3>が“H”に遷移すると、QN1及びQN2が電流補正動作を開始する。

【0022】更に、図4によれば、スピード信号SSの送信期間にSS2信号を“H”にすることでQP3、QP4、QN3及びQN4を全てオフにすることにより、QP1、QP2、QN1及びQN2が全てツイストペアケーブルTP/NTPから切り離される。

【0023】図5は、図1中の電流ドライバ3の詳細構成例を示している。図5の電流ドライバ3は、1個のPMOS電流源トランジスタQP10と、2個のPMOSスイッチングトランジスタQP11、QP12と、1個のNMOS電流源トランジスタQN10と、2個のNMOSスイッチングトランジスタQN11、QN12とを備えている。VdspはQP10のドレインソース間電圧を、VdsnはQN10のドレインソース間電圧をそれぞれ表している。

【0024】図6は、図1中の電源電圧モニタ回路4の詳細構成例を示している。図6の電源電圧モニタ回路4は、2個のコンパレータ51a、51bと、2本の高抵抗R7、R8とを備えている。2本の高抵抗R7、R8は、VddとVss (=0V)との間に互いに直列に接続されている。この抵抗直列回路のタップ電圧V51は、2個のコンパレータ51a、51bによりそれぞれ参照電位Ref<0>及びRef<1>と比較される。具体的には、V51の電位がRef<0>より低くなるとMod<0>が“L”となり、高いときはMod<0>が“H”となる。同様に、V51の電位がRef<1

>より低くなるとMod<1>が“L”となり、高いときはMod<1>が“H”となる。

【0025】図7は、図1中のバイアス調整回路5の詳細構成例を示している。図7のバイアス調整回路5は、6個のPMOSTランジスタQP61～QP66と、2個のNMOSTランジスタQN61、QN62とを備えている。QP61、QP62及びQP65は各々電流源を、QP63及びQP64は各々スイッチを、QN61、QN62及びQP66はカレントミラー回路をそれぞれ構成している。

【0026】図7によれば、電源電圧Vddが高いときには、電流源QP65のみで基準バイアスBiasを受ける。Vddが所定の電位まで低下すると、Mod<0>、Mod<1>のいずれかが“L”となるため、スイッチQP63、QP64のうちの対応するスイッチがオンとなり、これに対応する電流源QP61、QP62が追加され、電流I6が増加する。そのため、Pbias及びNbiasがそれに応じて変化し、電流ドライバ3の出力電流が増加する。電流量の変化量は、電流源QP61、QP62のトランジスタサイズで調整することができる。なお、ゲートバイアス電圧をPMOS側、NMOS側で各々独立に調整できるようにしてもよい。

【0027】図8は、図1中のパルス発生回路6の詳細構成例を示している。図8のパルス発生回路6は、第1及び第2の遅延回路71、74と、NANDゲート72と、NORゲート75と、2個のインバータ73、76とを備えている。

【0028】図9は、図8のパルス発生回路6の動作を示している。ここでは、第1の遅延回路71の伝搬遅延時間をtd1とし、第2の遅延回路74の伝搬遅延時間をtd2としている。図9に示すとおり、コモンモード電圧Vcmを変化させる期間（SS1の“H”期間）は、電流補正回路2がツイストペアケーブルTP/NTPから切り離される期間（SS2の“H”期間）に包含されるようになっている。これにより、電流補正回路2の誤動作発生確率を更に低くすることができる。td1及びtd2は、例えば5～10nsに設定すればよい。

【0029】図10はコモンモード電圧モニタ回路1及び電流補正回路2の効果を、図11は電源電圧モニタ回路4及びバイアス調整回路5の効果をそれぞれ表している。図中のIpはPMOS電流源トランジスタQP10、QP2及びQP1のうちの活性化されるトランジスタのドレイン電流の合計を、InはNMOS電流源トランジスタQN10、QN1及びQN2のうちの活性化されるトランジスタのドレイン電流の合計をそれぞれ表している。

【0030】図10によれば、従来は一点鎖線で示すように、電流Ip及びInを所定の範囲（上限IU、下限IL）に収めるためには終端バイアス電圧Tpbiasの許容範囲が上限VU1と下限VL1との間に制限されてい

10

20

30

40

50

た。これに対して本発明によれば、 T_{pbias} のより広い範囲で、電流 I_p 及び I_n を上限 I_U と下限 I_L との間の所定範囲に収めることができる。

【0031】また、図11によれば、従来は一点鎖線で示すように、電流 I_p を所定の範囲（上限 I_U 、下限 I_L ）に収めるためには電源電圧 V_{dd} の許容範囲が上限 V_{U2} と下限 V_{L2} との間に制限されていた。これに対して本発明によれば、 V_{dd} のより広い範囲で、電流 I_p を上限 I_U と下限 I_L との間の所定範囲に収めることができる。

【0032】図12は、図4及び図5中の3個のPMOS電流源トランジスタ Q_{P10} 、 Q_{P2} 、 Q_{P1} の好ましいサイズ例を示している。すなわち、電流補正回路2は、活性化すべきPMOS電流源トランジスタの合計サイズを、コモンモード電圧 V_{cm} と電源電圧 V_{dd} レベルとの差に対して非線形（例えば指数関数的）に変化させるのである。図12の例では、 Q_{P10} より Q_{P2} の方がサイズが大きく、 Q_{P2} より Q_{P1} の方がサイズが大きく設定されている。なお、図4及び図5中の3個のNMOS電流源トランジスタ Q_{N10} 、 Q_{N1} 、 Q_{N2} について言えば、活性化すべきNMOS電流源トランジスタの合計サイズを、コモンモード電圧 V_{cm} と V_{ss} レベル（グラウンドレベル）との差に対して非線形に変化させればよい。このような非線形制御の採用により、線形制御の場合に比べて電流補正の切り替え度数を少なくすることが可能となる。

【0033】図13は、図3中の電流 I_1 の好ましい変動特性を示している。電流源33が流す電流 I_1 は、PMOS電流源トランジスタ Q_{P10} 及びNMOS電流源トランジスタ Q_{N10} の各々の電流駆動能力に応じて変動させられることが好ましい。これにより、コモンモード電圧モニタ回路1におけるコンパレータ31a～31dの検知レベルを、温度又はプロセス変動に基づくトランジスタのしきい値変動に追従させることが可能となる。

【0034】なお、図1及び図2では2つの送受信回路20、21の間の通信の例を説明したが、親局は送信機能のみ、子局は受信機能のみを備えた送受信システムにも本発明が適用可能であることは言うまでもない。

【0035】

【発明の効果】以上のように本発明によれば、幅広い電圧範囲に対して定電流を流すことのできる電流ドライバ回路を実現できる。

【図面の簡単な説明】

【図1】本発明に係る電流ドライバ回路を備えた送受信回路の構成例を示すブロック図である。

【図2】図1の送受信回路の相手側送受信回路の構成例を示すブロック図である。

【図3】図1中のコモンモード電圧モニタ回路の回路図である。

【図4】図1中の電流補正回路の回路図である。

【図5】図1中の電流ドライバの回路図である。

【図6】図1中の電源電圧モニタ回路の回路図である。

【図7】図1中のバイアス調整回路の回路図である。

【図8】図1中のパルス発生回路の回路図である。

【図9】図8のパルス発生回路の動作を示すタイミング図である。

【図10】図1中のコモンモード電圧モニタ回路及び電流補正回路の効果を示す図である。

10 【図11】図1中の電源電圧モニタ回路及びバイアス調整回路の効果を示す図である。

【図12】図4及び図5中の3個のPMOS電流源トランジスタの好ましいサイズ例を説明するための図である。

【図13】図3中の電流源が流す電流の好ましい変動特性を示す図である。

【符号の説明】

1 コモンモード電圧モニタ回路

2 電流補正回路

20 3 電流ドライバ

4 電源電圧モニタ回路

5 バイアス調整回路

6 パルス発生回路

7 電流源

8 レシーバ回路

9 抵抗回路

11 終端バイアス電圧発生回路

20, 21 送受信回路

31a～d コンパレータ

30 32 トランスファークロ

33 電流源

51a, b コンパレータ

C1 容量

I_p 活性化PMOS電流源トランジスタのドレイン電流の合計

I_n 活性化NMOS電流源トランジスタのドレイン電流の合計

Q_{P1} , 2, 10 PMOS電流源トランジスタ

Q_{P3} , 4, 11, 12 PMOSスイッチングトランジスタ

Q_{P61} ～66 PMOSトランジスタ

Q_{N1} , 2, 10 NMOS電流源トランジスタ

Q_{N3} , 4, 11, 12 NMOSスイッチングトランジスタ

Q_{N61} , 62 NMOSトランジスタ

R 終端抵抗

R1～R8 抵抗

SS スピード信号（伝送レート情報）

TP, NTP 伝送線路対（ツイストペアケーブル）

50 V_{cm} 伝送線路対のコモンモード電圧

11

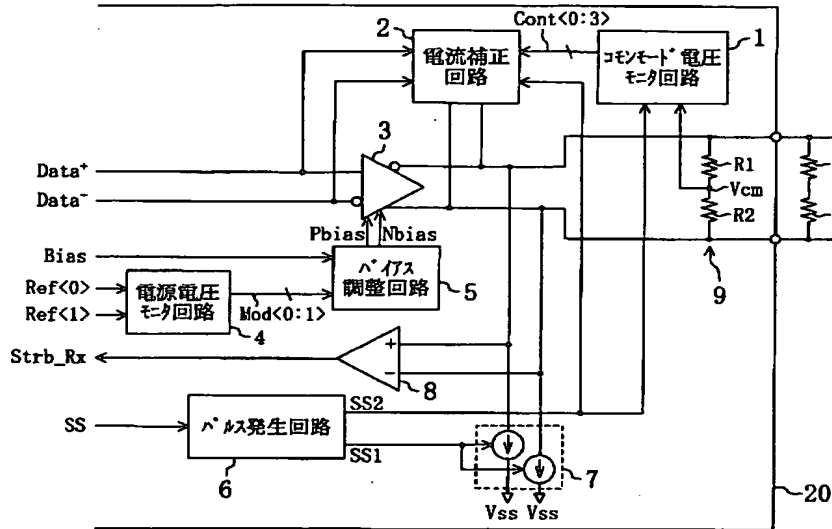
12

Vdd 第1の電源電圧レベル

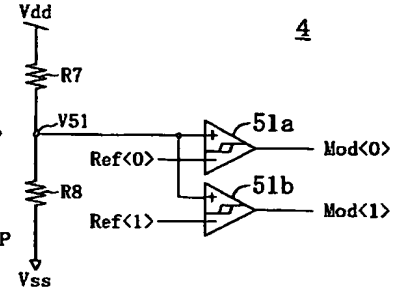
Tpbias 終端バイアス電圧

Vss 第2の電源電圧レベル (グラウンドレベル)

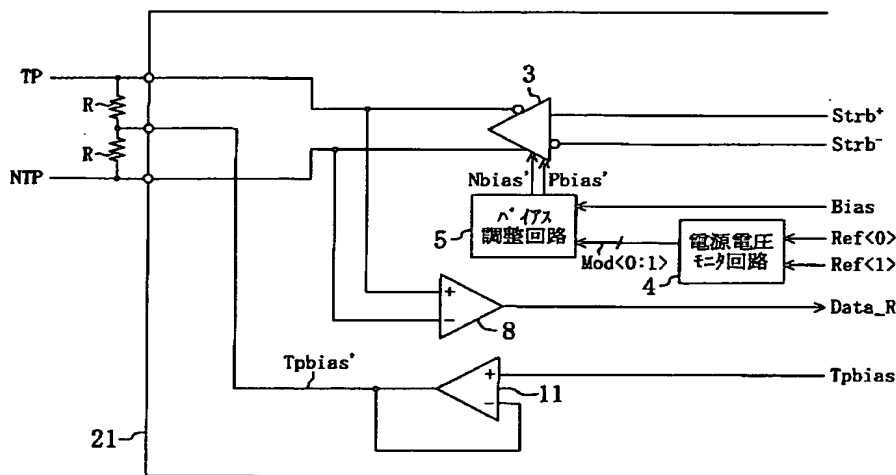
【図1】



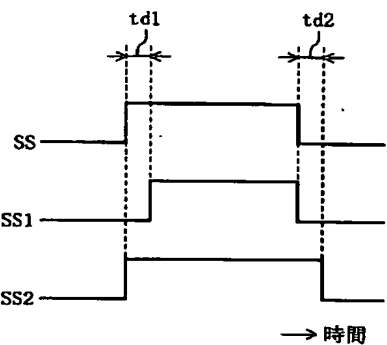
【図6】



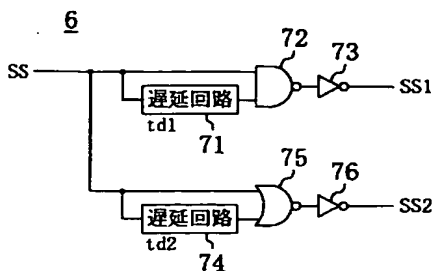
【図2】



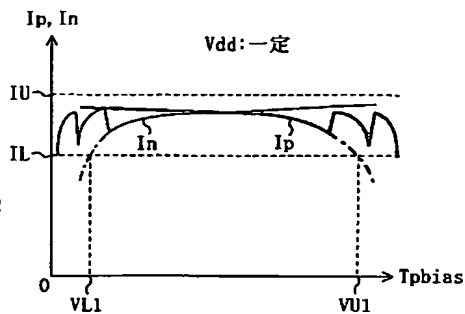
【図9】



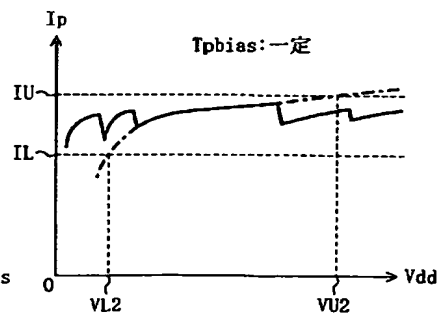
【図8】



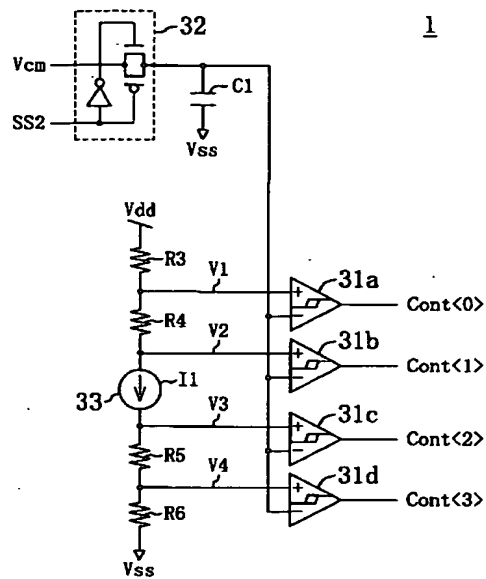
【図10】



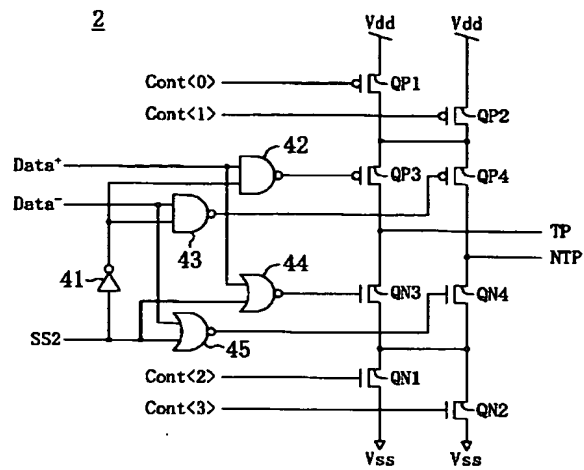
【図11】



【図3】

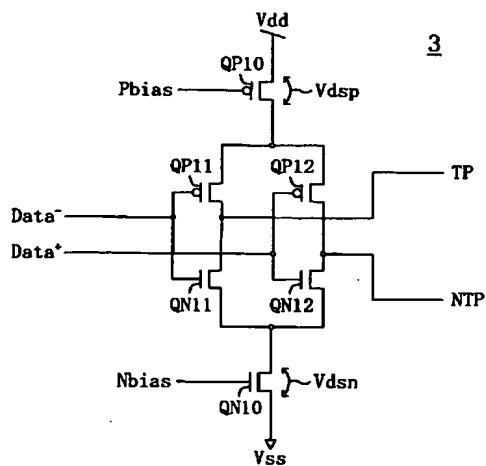


【図4】

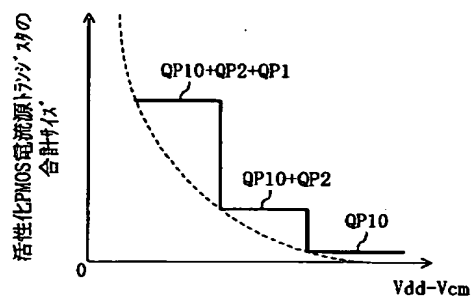


【図7】

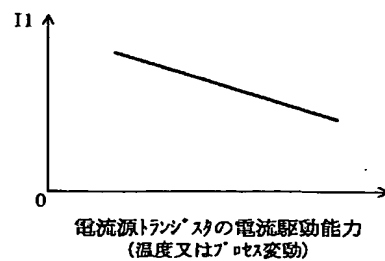
【図5】



【図12】



【図13】



フロントページの続き

(72) 発明者 ▲高▼橋 学志
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 寺田 裕
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 小松 義英
大阪府門真市大字門真1006番地 松下電器
産業株式会社内